

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0067545  
Application Number PATENT-2002-0067545

출원년월일 : 2002년 11월 01일  
Date of Application NOV 01, 2002

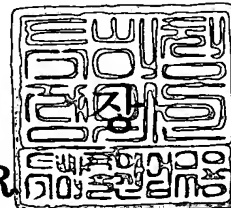
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003    년    01    월    28    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2002.11.01
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자의 다중 두께 게이트 유전층 제조 방법
【발명의 영문명칭】	Method for manufacturing multi-thickness gate dielectric layer of semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김경수
【성명의 영문표기】	KIM, Kyung Soo
【주민등록번호】	750717-1069132
【우편번호】	480-071
【주소】	경기도 의정부시 신곡1동 장암주공5단지아파트 507-706
【국적】	KR
【발명자】	
【성명의 국문표기】	김영욱
【성명의 영문표기】	KIM, Young Wug
【주민등록번호】	580827-1009812

【우편번호】	135-281
【주소】	서울특별시 강남구 대치1동 청실아파트 18-202
【국적】	KR
【발명자】	
【성명의 국문표기】	오창봉
【성명의 영문표기】	OH, Chang Bong
【주민등록번호】	650420-1674813
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동(무지개마을) 신한아파트 303-104
【국적】	KR
【발명자】	
【성명의 국문표기】	강희성
【성명의 영문표기】	KANG, Hee Sung
【주민등록번호】	700808-1251310
【우편번호】	463-914
【주소】	경기도 성남시 분당구 정자동(한솔마을) 청구아파트 112-906
【국적】	KR
【발명자】	
【성명의 국문표기】	유혁주
【성명의 영문표기】	RYU, Hyuk Ju
【주민등록번호】	740529-1019637
【우편번호】	471-022
【주소】	경기도 구리시 교문2동 덕현아파트 105-2003
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	11 면 11,000 원

1020020067545

출력 일자: 2003/1/28

【우선권주장료】	0	건	0	원
【심사청구료】	19	항	717,000	원
【합계】	757,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

반도체 소자의 다중 두께 게이트 유전층 제조 방법을 제공한다. 본 발명의 일 관점에 의한 게이트 유전층 제조 방법은 반도체 기판 상에 제1유전층을 형성하고, 제1유전층 상에 제1유전층을 구성하는 유전 물질과 다른 유전 물질로 제2유전층을 형성하고, 제2유전층 하부의 제1유전층 부분이 선택적으로 노출되도록 제2유전층의 일부를 선택적으로 제거한다. 노출된 제1유전층 부분 하부의 반도체 기판 부분이 선택적으로 노출되도록 노출된 제1유전층 부분의 일부를 선택적으로 제거한 후, 노출된 반도체 기판 부분에 제1유전층의 두께보다 작은 두께를 가지는 제3유전층을 형성한다. 이에 따라, 제1유전층 및 잔류하는 제2유전층 부분으로 이루어지는 상대적으로 두꺼운 부분과 잔류하는 제1유전층 부분으로 이루어지는 상대적으로 중간 두께인 중간 부분, 및 제3유전층으로 이루어지는 상대적으로 얇은 부분을 포함하는 게이트 유전층이 형성된다.

**【대표도】**

도 9

## 【명세서】

## 【발명의 명칭】

반도체 소자의 다중 두께 게이트 유전층 제조 방법{Method for manufacturing multi-thickness gate dielectric layer of semiconductor device}

## 【도면의 간단한 설명】

도 1 내지 도 3은 본 발명의 제1실시예에 의한 반도체 소자의 다중 두께 게이트 유전층 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 4 내지 도 9는 본 발명의 제2실시예에 의한 반도체 소자의 다중 두께 게이트 유전층 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 10은 본 발명의 제3실시예에 의한 반도체 소자의 다중 두께 게이트 유전층 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<4> 본 발명은 반도체 소자에 관한 것으로, 특히, 반도체 소자에 게이트 산화층(gate oxide)으로 이용되는 여러 두께를 가지는 다중 두께 게이트 유전층(gate dielectric layer)을 제조하는 방법에 관한 것이다.

<5> 반도체 소자는 다양한 종류의 트랜지스터(transistor)와 같은 소자들이 하나의 기판 상에 집적되어 제조될 수 있다. 예를 들어, 반도체 소자들 중의 SOC(System On Chip) 소자는 다양한 역할을 하는 트랜지스터들 또는 소자들이 동일한 기판 상에 집적되어 구

성된다. 예를 들어, 낮은 스탠바이 전력 소자(low standby power device), 높은 성능 소자(high performance device), 입출력 소자(I/O device) 및 아날로그 소자(analog device) 등이 동일한 기판 상에 집적되어 하나의 반도체 소자, 예컨대, SOC 소자를 구성하고 있다.

<6> 다양한 종류의 트랜지스터들은 각각 그 동작에 적합한 두께의 게이트 산화층, 즉, 게이트 유전층을 가지도록 구성되는 것이 보다 바람직하다. 예를 들어, 반도체 소자의 디자인 룰(design rule) 또는 집적도에 따라 달라지나, I/O 소자의 경우 트랜지스터를 구성하기 위해서 형성되는 게이트 유전층은 대략 50Å 이상의 두꺼운 산화층이 요구된다. 이러한 게이트 유전층의 두께는 설명의 명확성을 구현하기 위해서 균등 산화층 두께(equivalent oxide thickness:  $T_{eq}$ )로 이해되는 것이 바람직하다. 그런데, 반도체 소자의 셀(cell) 또는 코어(core)내의 소자, 예컨대, SRAM(Static Random Access Memory) 소자를 구성하는 트랜지스터에는 대략 30Å 이하의 게이트 유전층이 트랜지스터의 최적 동작을 구현하기 위해서 바람직하게 요구될 수 있다. 즉, 하나의 반도체 소자를 이루는 동일한 기판 상에 게이트 유전층의 두께를 달리하는 것이 요구되고 있다.

<7> 더욱이, 이러한 소자들에 따라 다른 동작 전압이 적용되고 있다. 예를 들어, I/O 소자에 채용되는 트랜지스터는 대략 3.3V의 동작 전압이 적용되고, 코어 또는 셀의 소자에 채용되는 트랜지스터의 경우는 대략 2.5V 또는 1.0V 정도의 상대적으로 낮은 동작 전압이 적용될 수 있다. 이에 따라, 각각의 트랜지스터는 이러한 동작 전압에 부합되도록 서로 다른 두께의 게이트 유전층의 두께를 가지는 것이 동작 특성 면에서 바람직하다.

<8> 이와 같이 서로 다른 두껍고 얇은 두께를 가지도록 게이트 유전층을 형성하는 방법은 현재 이중 스트립(dual strip) 방법에 의해서 구현될 수 있다고 알려져 있다. 이러한

이중 스트립 방법은 먼저 두꺼운 두께의 게이트 유전층이 요구되는 트랜지스터 또는 다른 소자에 적합한 두꺼운 두께로 실리콘 산화물층을 반도체 기판 상에 형성한다.

연후에, 상대적으로 얇은 두께의 게이트 유전층이 요구되는 소자가 구현될 반도체 기판 상의 상기 두꺼운 두께의 실리콘 산화물층을 선택적으로 제거하여 그 부분에서의 반도체 기판 표면을 노출시킨다. 이후에, 노출된 반도체 기판 표면으로부터 요구되는 상대적으로 얇은 두께로 새로운 실리콘 산화물층을 형성하여 서로 다른 두께를 가지는 게이트 유전층을 형성한다.

<9> 그런데, 이러한 이중 스트립 방식에 의한 이중 두께를 가지는 게이트 유전층을 형성하는 방법은 게이트 유전층의 두께 조절 및 제어가 다소 어려운 점이 있다. 예를 들어, 동일한 실리콘 산화물층을 두 번 성장시키기 때문에 게이트 유전층의 두께를 균일하게 구현하기가 어렵다. 즉, 선택적으로 스트립한 후, 얇은 두께의 실리콘 산화물층을 성장시킬 때, 이미 형성되어 있는 두꺼운 두께의 실리콘 산화물층의 두께가 변화되는 현상이 발생할 수 있다. 이는 동일한 실리콘 산화물층을 두 종류의 게이트 유전층으로 사용하는 데 따른 영향으로 간주될 수 있는 데, 이와 같이 게이트 유전층의 두께 균일도가 열악해지면 이를 채용하는 소자, 예컨대, 트랜지스터의 특성 또한 열화되게 된다. 특히, 두꺼운 두께 부분과 얇은 두께 부분 간의 두께 차이가 상대적으로 작을 경우, 이러한 두께 조절이 더욱 어려워지게 된다.

#### 【발명이 이루고자 하는 기술적 과제】

<10> 본 발명이 이루고자 하는 기술적 과제는, 반도체 소자에서 서로 다른 두께로 동일한 기판 상에 다중 두께 게이트 유전층을 형성할 때, 게이트 유전층의 두께를 정밀하게



조절할 수 있어 높은 두께 균일도를 구현할 수 있는 반도체 소자의 다중 두께 게이트 유전층 제조 방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

- <11>        상기의 기술적 과제들을 달성하기 위한 본 발명의 일 관점은, 동일한 반도체 기판 상에 여러 두께를 가지는 게이트 유전층을 제조하는 방법을 제공한다.
- <12>        상기 게이트 유전층을 제조하는 방법은 반도체 기판 상에 제1유전층을 형성하는 단계와, 상기 제1유전층 상에 상기 제1유전층을 구성하는 유전 물질과 다른 유전 물질로 제2유전층을 형성하는 단계, 및 상기 제2유전층 하부의 상기 제1유전층 부분이 선택적으로 노출되도록 상기 제2유전층의 일부를 선택적으로 제거하여, 상기 제1유전층 및 잔류하는 상기 제2유전층 부분으로 이루어지는 상대적으로 두꺼운 부분과 상기 노출된 제1유전층 부분으로 이루어지는 상대적으로 얇은 부분을 포함하는 게이트 유전층을 형성하는 단계를 포함하여 구성된다.
- <13>        또는, 상기 게이트 유전층을 제조하는 방법은 반도체 기판 상에 제1유전층을 형성하는 단계와, 상기 제1유전층 상에 상기 제1유전층을 구성하는 유전 물질과 다른 유전 물질로 제2유전층을 형성하는 단계와, 상기 제2유전층 하부의 상기 제1유전층 부분이 선택적으로 노출되도록 상기 제2유전층의 일부를 선택적으로 제거하는 단계와, 상기 노출된 제1유전층 부분 하부의 상기 반도체 기판 부분이 선택적으로 노출되도록 상기 노출된 제1유전층 부분의 일부를 선택적으로 제거하는 단계, 및 상기 노출된 반도체 기판 부분에 상기 제1유전층의 두께보다 작은 두께를 가지는 제3유전층을 형성하여, 상기 제1유전층 및 잔류하는 상기 제2유전층 부분으로 이루어지는 상대적으로 두꺼운 부분과 잔류하는 상기 노출된 제1유전층 부분으로 이루어지는 상대적으로 중간 두께인 중간 부분, 및

상기 제3유전층으로 이루어지는 상대적으로 얇은 부분을 포함하는 게이트 유전층을 형성하는 단계를 포함하여 구성될 수 있다.

<14> 여기서, 상기 제1유전층, 상기 제2유전층 또는 상기 제3유전층은 실리콘 산화물, 실리콘 질화물, 하프늄 산화물, 알루미늄 산화물, 지르코늄 산화물 또는 탄탈륨 산화물로 형성될 수 있다.

<15> 또한, 상기 제1유전층 또는 상기 제3유전층은 열적 산화물로 형성될 수 있다. 상기 제1유전층 또는 상기 제3유전층은 급속 열적 산화법에 의한 실리콘 산화물로 형성될 수 있다.

<16> 또한, 상기 제1유전층, 상기 제2유전층 또는 상기 제3유전층은 원자층 증착 방법에 의한 하프늄 산화물 또는 알루미늄 산화물로 형성될 수 있다.

<17> 상기 제2유전층의 선택적인 제거는 상기 제2유전층 상에 제1포토리저스트 패턴을 도입하는 단계, 및 상기 제1포토리저스트 패턴을 식각 마스크로 노출되는 상기 제2유전층 부분을 건식 또는 습식으로 제1식각하는 단계를 포함하여 수행될 수 있다. 상기 노출된 제1유전층 부분의 일부를 선택적으로 제거하는 단계는 상기 잔류하는 제2유전층 부분 및 상기 노출된 제1유전층 부분의 일부를 덮는 제2포토리저스트 패턴을 도입하는 단계, 및 상기 제2포토리저스트 패턴을 식각 마스크로 노출되는 상기 제1유전층 부분을 건식 또는 습식으로 제2식각하는 단계를 포함하여 구성될 수 있다. 이때, 상기 제1식각하는 단계는 상기 제2유전층에 대한 식각율이 상기 제1유전층에 대한 식각율 보다 높게 수행될 수 있다.

- <18>      상기 게이트 유전층 제조 방법은 상기 게이트 유전층 상을 질화 처리 (nitridization)하는 단계를 더 포함하여 구성될 수 있다.
- <19>      상기 제3유전층은 증착 과정에 의해서 형성되어 상기 잔류하는 제2유전층 및 제1유전층 상으로 연장될 수 있다.
- <20>      상기 게이트 유전층 제조 방법은 상기 제2유전층 상에 상기 제2유전층과 다른 유전물질로 제3유전층을 형성하는 단계, 및 상기 제3유전층 하부의 상기 제2유전층 부분이 선택적으로 노출되도록 상기 제3유전층의 일부를 선택적으로 제거하는 단계를 더 포함하고, 상기 게이트 유전층은 잔류하는 상기 제3유전층, 상기 제2유전층 및 상기 제1유전층이 적층된 부분을 가질 수 있다.
- <21>      본 발명에 따르면, 서로 다른 두께를 가지는 영역들을 가지는 게이트 유전층을 제공할 수 있다. 이때, 게이트 유전층의 두께는 각각의 영역들 내에서는 매우 높은 균일도를 가질 수 있다.
- <22>      이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것으로 이해되는 것이 바람직하며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미하는 해석되어지는 것이 바람직하다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 상기 어떤 층은

상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<23> 본 발명의 실시예에서는 다른 종류의 유전 물질들을 다층으로 형성하여 다중 두께의 게이트 유전층을 제조하는 바를 제시한다. 이러한 유전층은 서로 다른 식각율을 가져 상호 간에 식각 선택비를 충분히 가질 수 있어, 게이트 유전층에 요구되는 두께를 균일하게 구현할 수 있다. 또한, 다층으로 유전 물질들을 증착 또는 성장한 후 일부 층을 제거함으로써 또는 제거 후 다시 별도의 유전층을 성장 또는 증착함으로써 요구되는 얇은 두께 부분과 두꺼운 두께 부분을 가지는 게이트 유전층을 높은 균일도를 가지도록 구현할 수 있다. 또한, 다층으로 서로 다른 유전 물질들을 증착 또는 성장한 후 일부 층을 제거할 때, 서로 다른 유전 물질층들 간에 충분한 식각 선택비를 구현할 수 있어, 게이트 유전층의 두께 균일도를 증가시킬 수 있다. 더욱이, 2 가지 이상의 두께를 가지는 다중 두께의 게이트 유전층을 용이하게 구현할 수 있다.

#### <24> 제1실시예

<25> 도 1 내지 도 3은 본 발명의 제1실시예에 의한 반도체 소자의 다중 두께 게이트 유전층 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

<26> 도 1을 참조하면, 반도체 기판(10) 상에 제1유전층(20) 및 제2유전층(30)을 형성한다. 구체적으로, 반도체 기판(10) 상에, 특히, 활성 영역 상에 제1유전층(20)을 증착 또는 성장시킨다. 이러한 제1유전층(20)을 형성하기 이전에 도시되지는 않았으나 활성 영역을 설정하는 소자 분리를 반도체 기판(10)에 구현할 수 있다.

<27> 제1유전층(20)은 실리콘 산화물( $\text{SiO}_2$ )과 같은 유전 물질의 성장 또는 증착으로 형성될 수 있다. 제1유전층(20)을 실리콘 산화물로 형성할 경우, 게이트 유전층으로 이용될 정도로 양질의 유전층을 얻기 위해서 열적 산화물(thermal oxide)로 제1유전층(20)을 반도체 기판(10) 상에 성장시킬 수 있다. 이 경우 게이트 유전층으로의 특성을 개선하기 위해서 이러한 제1유전층(20)을 이루는 열적 산화물층 상을 질화 처리(nitridization)할 수 있다. 즉, 대략 3 내지 5% 정도 또는 그 이상으로 질소를 이러한 제1유전층(20)에 도핑(doping)한다.

<28> 또한, 급속 열적 산화법(RTO:Rapid Thermal Oxidation)을 이용하여 실리콘 산화물층을 형성하여 제1유전층(20)으로 이용할 수 있다. RTO를 이용할 경우, 분위기로는 산소 가스, 일산화 이질소( $\text{N}_2\text{O}$ ) 가스 또는 수증기 등을 이용할 수 있다. 또한, 이때도 상기한 바와 같은 질화 처리를 수행할 수 있다. 이러한 질화 처리는 상기한 바와 같은 RTO 과정을 수행하는 분위기 중에 질소 가스 또는 일산화 이질소 가스의 분압을 조절함으로써 수행될 수 있다.

<29> 이러한 제1유전층(20)은 상기한 바와 같이 실리콘 산화물로 형성될 수도 있으나, 다른 유전 물질, 예컨대, 실리콘 질화물( $\text{Si}_3\text{N}_4$ ) 등과 같은 유전 물질로도 형성될 수 있다. 이러한 실리콘 질화물 등은 화학 기상 증착(CVD) 등으로 증착될 수 있다.

<30> 이러한 제1유전층(20)은 상기한 바와 같이 실리콘 산화물로 형성될 수도 있으나, 다른 유전 물질, 예컨대, 하프늄 산화물( $\text{HfO}_2$ ) 또는 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ) 등과 같은 고유전 상수를 가지는 유전 물질로도 형성될 수 있다. 이러한 하프늄 산화물 또는 알루미늄 산화물 등은 반도체 기판(10) 상에 층후에 층(layer by layer)을 증착하는 방법, 예컨대, 원자층 증착 방법(ALD: Atomic Layered Deposition)으로 증착될 수 있다.

- <31> 이러한 제1유전층(20)은 상기한 바와 같이 실리콘 산화물로 형성될 수도 있으나, 다른 유전 물질, 예컨대, 지르코늄 산화물( $ZrO_2$ ) 또는 탄탈륨 산화물( $Ta_2O_5$ ) 등과 같은 고유전 상수를 가지는 유전 물질로도 형성될 수 있다. 이러한 유전 물질들은 MOCVD 등과 같은 방법으로 증착될 수 있다.
- <32> 특히, 알루미늄 산화물은 ALD 공정을 이용하여 매우 균일하고 치밀한 막질로 형성될 수 있으므로, 이러한 제2유전층(30) 또는 제1유전층(20)으로 적절하게 채용될 수 있다. 또한, 하프늄 산화물은 ALD 공정을 적용할 수 있으며, 또한 게이트 유전층으로 이용될 때 트랜지스터의 특성이 우수하게 개선될 수 있는 장점이 있다.
- <33> 한편, 이러한 제1유전층(20)은 실질적으로 상대적으로 게이트 유전층이 얇은 두께로 요구되는 얇은 두께 영역에서의 게이트 유전층을 구성하는 데 사용될 수 있다. 따라서, 요구되는 얇은 두께, 예컨대, 대략  $1\text{\AA}$  내지  $30\text{\AA}$  정도의 두께로 형성될 수 있다. 즉, 반도체 소자의 셀 영역에 구현되는 SRAM의 경우 대략  $10$  내지  $12\text{\AA}$  정도로 형성될 수 있으며, 경우에 따라 대략  $16\text{\AA}$  내지  $18\text{\AA}$  정도 두께로 형성될 수 있다. 이러한 두께는 실질적인 두께를 의미할 수도 있으나, 균등 산화막 두께(equivalent oxide thickness:  $T_{eq}$ )로 이해되는 것이 보다 바람직하다.
- <34> 이와 같이 제1유전층(20)을 형성한 후, 제1유전층(20) 상에 제2유전층(30)을 형성한다. 이때, 제2유전층(30)은 앞서 기술한 바와 같은 유전 물질, 예컨대, 실리콘 산화물, 실리콘 질화물, 하프늄 산화물, 알루미늄 산화물, 지르코늄 산화물 또는 탄탈륨 산화물 등으로 형성될 수 있다. 그러나, 제2유전층(30)은 제1유전층(20)을 구성하는 유전 물질과는 다른 유전 물질로 형성된다.

- <35> 예를 들어, 제1유전층(20)을 실리콘 산화물로 형성할 경우, 제2유전층(30)은 실리콘 산화물이 아닌 다른 유전 물질, 예컨대, 하프늄 산화물, 알루미늄 산화물, 지르코늄 산화물 또는 탄탈륨 산화물 등으로 형성될 수 있다.
- <36> 도 2를 참조하면, 제2유전층(30) 상에 포토레지스트 패턴(40)을 도입하고, 이를 이용하여 제2유전층(30)의 일부를 선택적으로 제거한다. 포토레지스트 패턴(40)은 보다 두꺼운 두께의 게이트 유전층이 요구되는 영역의 제2유전층(30) 부분을 가려 차폐하여 보호하고, 보다 얇은 두께의 게이트 유전층이 요구되는 영역의 제2유전층(30) 부분의 표면을 노출시킨다.
- <37> 이러한 포토레지스트 패턴(40)을 식각 마스크(etch mask)로 이용하여 노출된 제2유전층(30) 부분을 식각하여 제거한다. 이때, 식각 과정은 건식 식각이나 습식 식각 과정을 적절하게 선택하여 수행될 수 있다. 또한, 제2유전층(30) 부분을 선택적으로 식각할 수 있는 적절한 식각 조건을 이용하여 이러한 식각 과정을 수행할 수 있다. 노출된 제2유전층(30) 부분은 이러한 식각 과정에 의해서 완전히 제거된다. 이에 따라, 노출된 제2유전층(30) 부분 아래의 제1유전층(20)의 표면이 완전히 노출된다.
- <38> 이때, 상기한 식각 과정은 제2유전층(30)을 이루는 물질과 제1유전층(20)을 이루는 물질과 충분한 식각 선택비를 구현할 수 있는 식각 조건으로 수행되는 것이 바람직하다. 실질적으로, 제2유전층(30)과 제1유전층(20)이 서로 다른 유전 물질로 형성되었으므로, 이러한 식각 선택비를 구현하는 것은 상대적으로 용이해진다. 예를 들어, 실리콘 산화물로 제1유전층(20)을 구성하고, 실리콘 질화물로 제2유전층(30)을 구성할 경우, 불산을 포함하는 식각 용액을 채용하는 습식 식각으로 비교적 높은 식각 선택비를 구현할 수 있다.

- <39> 이와 같이 제2유전층(30)의 노출된 부분을 제거하는 식각 과정에서 충분한 식각 선택비를 구현하기 용이하므로, 이러한 식각 과정에 의해서 노출되는 제1유전층(20)의 표면의 침해를 최대한 방지할 수 있다. 이와 같은 식각 과정에 의해서 다음의 도 3에서와 같이 서로 다른 두께를 가지는 게이트 유전층(20, 30)이 구현된다.
- <40> 도 3을 참조하면, 상술한 바와 같이 제2유전층(30)을 제거하면, 상대적으로 두꺼운 게이트 유전층이 요구되는 영역에서는 잔류 제2유전층(31)과 제1유전층(20)으로 구성되는 두꺼운 게이트 유전층(20, 31)이 형성된다. 이러한 게이트 유전층부분(20, 31)은 대략  $50\text{\AA}$  또는 그 이상의 두께로 형성될 수 있다. 이러한 게이트 유전층 부분(20, 31)의 두께는 전력 소자나 아날로그 소자 등과 같은 소자에 채용되는 트랜지스터의 동작에 적합하게 부합된다. 예를 들어, 이러한 게이트 유전층 부분(20, 31)의 두께는 대략 3.3V 정도의 상대적으로 높은 동작 전압에 적합하게 된다.
- <41> 이와 함께, 상대적으로 얇은 게이트 유전층이 요구되는 영역에서는 얇은 두께의 제1유전층(20)으로만 구성되는 게이트 유전층 부분(20)이 형성된다. 이러한 게이트 유전층 부분(20)의 두께는 제1유전층(20)만으로 구성되므로, 제1유전층(20)의 두께인 대략 10 -  $12\text{\AA}$  정도일 수 있다. 이에 따라, 이러한 게이트 유전층 부분(20)의 두께는 반도체 소자의 셀 영역에 구현되는 SRAM 소자에 채용되는 트랜지스터 또는 대략 1.0V 정도의 동작 전압으로 작동하는 트랜지스터에 적합할 수 있다.
- <42> 이에 따라, 전체 게이트 유전층은 얇은 두께 부분과 두꺼운 두께 부분을 동일한 반도체 기판(10) 상에 함께 가지도록 구성된다.
- <43> 이와 같이 얇은 부분과 두꺼운 부분을 함께 가지는 다중 두께 게이트 유전층을 제조하는 방법은 구현되는 게이트 유전층을 두꺼운 두께 부분(20, 31)과 얇은 두께 부분



(20) 모두에서 그 영역 내에서 균일한 두께를 가지도록 유도할 수 있다. 이는 게이트 유전층의 두꺼운 부분(20, 31)은 제1유전층(20)과 그 상에 증착된 제2유전층(30)으로 구성되고, 얇은 부분(20)은 제1유전층(20) 만으로 구성되도록 함으로써 가능하다.

<44> 다시 도 1을 참조하면, 제1유전층(20) 및 제2유전층(30)은 모두 평활한 마지막 조건 상태에서 증착되거나 성장된다. 따라서, 이러한 조건에서의 제1유전층(20) 및 제2유전층(30) 각각의 두께가 매우 균일하도록 제어하는 것이 보다 용이해진다. 종래의 얇은 두께 게이트 유전층 부분을 두꺼운 부분을 이루는 유전 물질과 같은 실리콘 산화물을 성장시켜 구현하는 경우에는, 이미 두꺼운 부분이 성장되어 있는 상태이므로 선택적으로 얇은 부분의 실리콘 산화물층 성장시킬 때 이러한 두꺼운 부분의 두께가 이러한 실리콘 산화물층의 성장에 영향을 받아 변화하는 현상이 발생하게 된다. 따라서, 트랜지스터의 게이트 유전층에 요구되는 두께 균일도를 구현하기가 매우 어려웠다. 특히, 얇은 두께의 게이트 유전층 부분 보다 두꺼운 두께의 게이트 유전층 부분의 두께 제어가 매우 힘들었다.

<45> 그러나, 본 발명에서의 제1실시예에서 설명한 바와 같이 두꺼운 게이트 유전층 부분(20, 31)과 얇은 부분(20)의 두께는 모두 증착 또는 성장된 제1유전층(20) 및 제2유전층(30)의 두께에 의존하게 되므로, 이러한 게이트 유전층(20, 20 및 31)의 두께를 각각의 두께 영역 내에서 균일하게 제어하는 것이 보다 용이하게 가능하게 된다.

<46> 한편, 이제까지의 제1실시예에서는 이중 두께를 가지는 게이트 유전층을 예로 들어 본 발명을 설명하였으나, 이러한 제1실시예에서 제시된 제2유전층(30) 상에 다른 유전 물질로 제3유전층 등의 추가의 층들을 순차적으로 형성한 후, 단계적으로 식각 과정들을 진행함으로써 다중 두께를 가지는 게이트 유전층을 구현할 수 있다.

<47>      제2실시예

<48>      제1실시예에서는 이중 두께의 게이트 유전층을 제조하는 방법을 예로 들어 설명하였으나, 제2실시예에서는 본 발명의 다른 일례를 3중 두께의 게이트 유전층을 제조하는 방법을 예로 들어 설명한다. 이러한 제2실시예에서 설명하는 방법을 반복하면, 3중 이상의 다중 두께의 게이트 유전층을 구현할 수 있다.

<49>      도 4 내지 도 9는 본 발명의 제2실시예에 의한 반도체 소자의 다중 두께 게이트 유전층 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

<50>      도 4를 참조하면, 반도체 기판(100) 상에 제1유전층(200) 및 제2유전층(300)을 형성한다. 구체적으로, 반도체 기판(100) 상에, 특히, 활성 영역 상에 제1유전층(200)을 증착 또는 성장시킨다. 이러한 제1유전층(200)을 형성하기 이전에 도시되지는 않았으나 활성 영역을 설정하는 소자 분리를 반도체 기판(100)에 구현할 수 있다.

<51>      제1유전층(200)은 실리콘 산화물( $\text{SiO}_2$ )과 같은 유전 물질의 성장 또는 증착으로 형성될 수 있다. 또는, 실리콘 질화물( $\text{Si}_3\text{N}_4$ ), 하프늄 산화물( $\text{HfO}_2$ ) 또는 알루미늄 산화물( $\text{Al}_2\text{O}_3$ ), 지르코늄 산화물( $\text{ZrO}_2$ ) 또는 탄탈륨 산화물( $\text{Ta}_2\text{O}_5$ ) 등과 같은 유전 물질로도 형성될 수 있다.

<52>      이와 같이 제1유전층(200)을 형성한 후, 제1유전층(200) 상에 제2유전층(300)을 형성한다. 이때, 제2유전층(300)은 앞서 기술한 바와 같은 유전 물질, 예컨대, 실리콘 산화물, 실리콘 질화물, 하프늄 산화물, 알루미늄 산화물, 지르코늄 산화물 또는 탄탈륨

산화물 등으로 형성될 수 있다. 그러나, 제2유전층(300)은 제1유전층(200)을 구성하는 유전 물질과는 다른 유전 물질로 형성된다.

<53> 예를 들어, 제1유전층(200)을 실리콘 산화물로 형성할 경우, 제2유전층(300)은 실리콘 산화물이 아닌 다른 유전 물질, 예컨대, 하프늄 산화물, 알루미늄 산화물, 지르코늄 산화물 또는 탄탈륨 산화물 등으로 형성될 수 있다. 물론, 제1유전층(200)이 실리콘 산화물이 아닌 경우, 제2유전층(300)은 실리콘 산화물로 형성될 있다. 이러한 경우, 실리콘 산화물은 CVD 등으로 증착될 수 있다.

<54> 도 5를 참조하면, 제2유전층(300) 상에 제1포토리소그래피 패턴(410)을 도입하고, 이를 이용하여 제2유전층(300)의 일부를 선택적으로 제거한다. 제1포토리소그래피 패턴(410)은 가장 두꺼운 두께의 게이트 유전층이 요구되는 영역의 제2유전층(200) 부분을 가려 차폐하여 보호하고, 나머지 영역의 제2유전층(300) 부분의 표면을 노출시킨다.

<55> 이러한 제1포토리소그래피 패턴(410)을 식각 마스크(etch mask)로 이용하여 노출된 제2유전층(300) 부분을 식각하여 제거한다. 이때, 식각 과정은 건식 식각이나 습식 식각 과정을 적절하게 선택하여 수행될 수 있다. 또한, 제2유전층(300) 부분을 선택적으로 식각할 수 있는 적절한 식각 조건을 이용하여 이러한 식각 과정을 수행할 수 있다. 노출된 제2유전층(300) 부분은 이러한 식각 과정에 의해서 완전히 제거된다. 이에 따라, 노출된 제2유전층(300) 부분 아래의 제1유전층(200)의 표면이 완전히 노출된다.

<56> 이때, 상기한 식각 과정은 제2유전층(300)을 이루는 물질과 제1유전층(200)을 이루는 물질과 충분한 식각 선택비를 구현할 수 있는 식각 조건으로 수행되는 것이 바람직하다. 실질적으로, 제2유전층(30)과 제1유전층(20)이 서로 다른 유전 물질로 형성되었으므로, 이러한 식각 선택비를 구현하는 것은 상대적으로 용이해진다. 이와 같이 제2유전층

(300)의 노출된 부분을 제거하는 식각 과정에서 충분한 식각 선택비가 구현되므로, 이러한 식각 과정에 의해서 노출되는 제1유전층(200)의 표면에의 침해를 최대한 방지할 수 있다.

<57> 도 6을 참조하면, 상술한 바와 같이 제2유전층(300)을 제거하면, 상대적으로 두꺼운 게이트 유전층이 요구되는 영역에서는 잔류 제2유전층(310)과 제1유전층(200)으로 구성되는 두꺼운 게이트 유전층 부분(200, 310)이 형성된다. 이러한 게이트 유전층 부분(200, 310)은 대략 50Å 또는 그 이상의 두께로 형성될 수 있다. 이러한 게이트 유전층 부분(200, 310)의 두께는 전력 소자나 아날로그 소자 등과 같은 소자에 채용되는 트랜지스터의 동작에 적합하게 부합된다. 예를 들어, 이러한 게이트 유전층 부분(200, 310)의 두께는 대략 3.3V 정도의 상대적으로 높은 동작 전압에 적합하게 된다.

<58> 도 7을 참조하면, 잔류 제2유전층(310)을 덮고 제1유전층(200)을 일부 덮는 제2포토레지스트 패턴(450)을 도입하고, 이를 이용하여 제1유전층(200)의 일부를 선택적으로 제거한다. 제2포토레지스트 패턴(450)은 잔류 제2유전층(310)과 함께 중간 두께의 게이트 유전층이 요구되는 영역의 제1유전층(200) 부분을 가려 차폐하여 보호하고, 나머지 영역의 제1유전층(200) 부분의 표면을 노출시킨다.

<59> 이러한 제2포토레지스트 패턴(450)을 식각 마스크로 이용하여 노출된 제1유전층(200) 부분을 식각하여 제거한다. 이때, 식각 과정은 건식 식각이나 습식 식각 과정을 적절하게 선택하여 수행될 수 있다. 또한, 제1유전층(200) 부분을 선택적으로 식각할 수 있는 적절한 식각 조건을 이용하여 이러한 식각 과정을 수행할 수 있다. 노출된 제1유전층(200) 부분은 이러한 식각 과정에 의해서 완전히 제거되어 하부의 반도체 기판(100) 부분을 노출한다.

- <60> 이때, 상기한 식각 과정은 제2유전층(200)을 이루는 물질과 반도체 기판(100)을 물질, 예컨대, 실리콘과 충분한 식각 선택비를 구현할 수 있는 식각 조건으로 수행되는 것이 바람직하다.
- <61> 도 8을 참조하면, 상술한 바와 같이 노출되는 제1유전층(200)을 제거하면, 가장 두꺼운 게이트 유전층이 요구되는 영역에서는 잔류 제2유전층(310)과 잔류 제1유전층(210)으로 구성되는 두꺼운 게이트 유전층 부분(200, 310)이 형성된다. 그리고, 잔류 제1유전층(210) 부분으로만 이루어지는 중간 두께의 게이트 유전층 부분(210)이 구현된다. 이러한 중간 두께의 게이트 유전층 부분은 대략 30Å 정도로 형성될 수 있다. 이러한 중간 두께의 게이트 유전층 부분(210)의 두께는 대략 2.2V 정도의 동작 전압으로 작동하는 트랜지스터에 적합하게 된다.
- <62> 도 9를 참조하면, 노출되는 반도체 기판(100) 상에 제3유전층(500)을 성장시킨다. 이러한 제3유전층(500)은 실리콘 산화물( $\text{SiO}_2$ )과 같은 유전 물질의 성장으로 형성될 수 있다. 제3유전층(500)을 실리콘 산화물로 형성할 경우, 게이트 유전층으로 이용될 정도로 양질의 유전층을 얻기 위해서 열적 산화물(thermal oxide)로 제3유전층(500)을 노출된 반도체 기판(100) 표면 상에 성장시킬 수 있다. 이 경우, 게이트 유전층으로의 특성을 개선하기 위해서 이러한 제3유전층(500)을 이루는 열적 산화물층 상을 질화 처리(nitridization)할 수 있다. 즉, 대략 3 내지 5% 정도 또는 그 이상으로 질소를 이러한 제3유전층(500)에 도핑한다. 이러한 질화 처리는 일산화 이질소 가스 등을 분위기로 사용되는 급속 열적 질화법(RTN:Rapid Thermal Nitridization)을 이용할 수 있다.
- <63> 한편, 이러한 실리콘 산화물은 앞서 설명한 바와 같이 RTO법을 이용하여 성장될 수도 있다. 이 경우, 잔류하는 제1유전층(210) 및 제2유전층(310) 상에 실리콘 산화물이

경우에 따라 성장될 수도 있으나, 실질적으로는 거의 성장하지 않는다. 특히, 잔류하는 제1유전층(210) 및 제2유전층(310) 등이 실리콘 산화물이 아닌 다른 유전 물질로 구성된 경우에는 실질적으로 이러한 제1유전층(210) 및 제2유전층(310) 상에는 실리콘 산화물이 성장되지 않는다.

<64> 이러한 제3유전층(500)은 상대적으로 가장 얇은 게이트 유전층을 구성하기 위해서 형성된다. 따라서, 제3유전층(500)은 대략  $1\text{\AA}$  내지  $20\text{\AA}$  정도, 예컨대, 대략  $10 - 12\text{\AA}$  정도일 수 있다. 이에 따라, 이러한 제3유전층(500)으로 이루어진 게이트 유전층 부분(500)은 반도체 소자의 셀 영역에 구현되는 SRAM 소자 등에 채용되는 트랜지스터 또는 대략  $1.0\text{V}$  정도의 동작 전압으로 작동하는 트랜지스터에 적합할 수 있다.

<65> 이에 따라, 전체 게이트 유전층은 얇은 두께 영역과 중간 두께 영역 및 두꺼운 두께 영역을 동일한 반도체 기판(100) 상에 함께 가지도록 구성될 수 있다.

<66> 이와 같이 얇은 부분과 중간 두께 부분 및 두꺼운 부분을 함께 가지는 다중 두께 게이트 유전층을 제조하는 방법은 구현되는 게이트 유전층을 두꺼운 두께 부분(210, 310)과 중간 두께 부분(210) 및 얇은 두께 부분(500) 모두에서 그 영역 내에서 균일한 두께를 가지도록 유도할 수 있다. 이는 게이트 유전층의 두꺼운 부분(210, 310)은 제1유전층(210)과 그 상에 증착된 제2유전층(310)으로 구성되고, 중간 두께 부분(210)은 제1유전층(210), 그리고, 얇은 부분(500)은 제3유전층(500) 만으로 실질적으로 구성되도록 함으로써 가능하다.

<67> 한편, 이제까지의 제2실시예에서는 3중 두께를 가지는 게이트 유전층을 예로 들어 본 발명을 설명하였으나, 이러한 제2실시예에서 제시된 제2유전층(300) 상에 다른 유전

물질로 제4유전층 등의 추가의 층들을 순차적으로 형성한 후, 단계적으로 식각 과정들을 진행함으로써 다중 두께를 가지는 게이트 유전층을 구현할 수 있다.

<68>      제3실시예

<69>      제3실시예에서는 제2실시예에서와는 달리 제3절연층을 증착 과정으로 형성하는 바를 제시한다. 제3실시예에서 제2실시예와 동일한 참조 부호로 인용된 부재는 대등한 부재로 이해되는 것이 바람직하다.

<70>      도 10은 반도체 기판(100) 상에 제3절연층(520)을 증착하는 단계를 개략적으로 보여준다.

<71>      도 10을 참조하면, 제2실시예에서 도 4 내지 도 8을 참조하여 설명한 바와 같이 반도체 기판(100) 상에 잔류하는 제1유전층(210) 및 제2유전층(310)의 구조를 구현한 후, 노출된 반도체 기판(100) 상에 제3유전층(520)을 증착한다. 이러한 제3유전층(520)은 실리콘 산화물, 실리콘 질화물, 하프늄 산화물, 알루미늄 산화물, 지르코늄 산화물 또는 탄탈륨 산화물 등과 같은 유전 물질로 증착될 수 있다.

<72>      예를 들어, ALD 방법으로 증착되는 알루미늄 산화물 또는 하프늄 산화물 등으로 제3유전층(520)이 형성될 수 있다. 이러한 ALD 방법은 단차 도포성이 우수한 특성을 구현할 수 있는 장점이 있다.

<73>      이러한 제3유전층(500)은 상대적으로 가장 얇은 게이트 유전층을 구성하기 위해서 형성된다. 따라서, 제3유전층(500)은 대략 1Å 내지 20Å 정도, 예컨대, 대략 10 - 12Å 정도일 수 있다. 이에 따라, 이러한 제3유전층(500)으로 이루어진 게이트 유전층 부분

(500)은 반도체 소자의 셀 영역에 구현되는 SRAM 소자 등에 채용되는 트랜지스터 또는 대략 1.0V 정도의 동작 전압으로 작동하는 트랜지스터에 적합할 수 있다.

<74> 이에 따라, 전체 게이트 유전층은 얇은 두께 영역과 중간 두께 영역 및 두꺼운 두께 영역을 동일한 반도체 기판(100) 상에 함께 가지도록 구성될 수 있다.

<75> 이와 같이 얇은 부분과 중간 두께 부분 및 두꺼운 부분을 함께 가지는 다중 두께 게이트 유전층을 제조하는 방법은 구현되는 게이트 유전층을 두꺼운 두께 부분(210, 310, 520)과 중간 두께 부분(210, 520) 및 얇은 두께 부분(520) 모두에서 그 영역 내에서 균일한 두께를 가지도록 유도할 수 있다. 이는 게이트 유전층의 두꺼운 부분(210, 310, 520)은 제1유전층(210)과 그 상에 증착된 제2유전층(310) 및 제3유전층(520) 모두로 구성되고, 중간 두께 부분(210, 520)은 제1유전층(210) 및 제3유전층(520)으로 구성되고, 그리고, 얇은 부분(520)은 제3유전층(520) 만으로 실질적으로 구성되도록 함으로써 가능하다.

<76> 이와 같은 게이트 유전층은 게이트 유전층을 구성하는 층들이 모두 증착 또는 성장 과정에서 그 두께가 제어되므로, 전체 게이트 유전층은 각각의 영역 내에서 매우 균일한 두께로 형성될 수 있다.

<77> 이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.



**【발명의 효과】**

<78> 상술한 본 발명에 따르면, 서로 다른 종류의 유전 물질로 구성되는 층들을 순차적으로 증착 또는 성장한 후 층들의 일부를 순차적으로 제거하여, 다중 두께를 가지는 게이트 유전층을 반도체 기판 상에 구현할 수 있다. 이에 따라, 게이트 유전층들은 각각의 영역 내에서 균일한 두께를 가지도록 구현될 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 제1유전층을 형성하는 단계;

상기 제1유전층 상에 상기 제1유전층을 구성하는 유전 물질과 다른 유전 물질로 제2유전층을 형성하는 단계; 및

상기 제2유전층 하부의 상기 제1유전층 부분이 선택적으로 노출되도록 상기 제2유전층의 일부를 선택적으로 제거하여,

상기 제1유전층 및 잔류하는 상기 제2유전층 부분으로 이루어지는 상대적으로 두꺼운 부분과 상기 노출된 제1유전층 부분으로 이루어지는 상대적으로 얇은 부분을 포함하는 게이트 유전층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 2】**

제1항에 있어서, 상기 제1유전층 또는 상기 제2유전층은

실리콘 산화물, 실리콘 질화물, 하프늄 산화물, 알루미늄 산화물, 지르코늄 산화물 또는 탄탈륨 산화물로 형성되는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 3】**

제1항에 있어서, 상기 제1유전층은

열적 산화물로 형성되는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 4】**

제1항에 있어서, 상기 제1유전층은

급속 열적 산화법에 의한 실리콘 산화물로 형성되는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 5】**

제1항에 있어서, 상기 제1유전층 또는 상기 제2유전층은

원자층 증착 방법에 의한 하프늄 산화물 또는 알루미늄 산화물로 형성되는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 6】**

제1항에 있어서, 상기 제2유전층의 선택적인 제거는

상기 제2유전층 상에 포토레지스트 패턴을 도입하는 단계; 및

상기 포토레지스트 패턴을 식각 마스크로 노출되는 상기 제2유전층 부분을 건식 또는 습식 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 7】**

제6항에 있어서, 상기 식각하는 단계는

상기 제2유전층에 대한 식각율이 상기 제1유전층에 대한 식각율 보다 높게 수행되는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 8】**

제1항에 있어서,

상기 게이트 유전층 상을 질화 처리(nitridization)하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 9】**

제1항에 있어서,

상기 제2유전층 상에 상기 제2유전층과 다른 유전 물질로 제3유전층을 형성하는 단계; 및

상기 제3유전층 하부의 상기 제2유전층 부분이 선택적으로 노출되도록 상기 제3유전층의 일부를 선택적으로 제거하는 단계를 더 포함하고,

상기 게이트 유전층은 잔류하는 상기 제3유전층, 상기 제2유전층 및 상기 제1유전층이 적층된 부분을 가지는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 10】**

반도체 기판 상에 제1유전층을 형성하는 단계;

상기 제1유전층 상에 상기 제1유전층을 구성하는 유전 물질과 다른 유전 물질로 제2유전층을 형성하는 단계;

상기 제2유전층 하부의 상기 제1유전층 부분이 선택적으로 노출되도록 상기 제2유전층의 일부를 선택적으로 제거하는 단계;

상기 노출된 제1유전층 부분 하부의 상기 반도체 기판 부분이 선택적으로 노출되도록 상기 노출된 제1유전층 부분의 일부를 선택적으로 제거하는 단계; 및

상기 노출된 반도체 기판 부분에 상기 제1유전층의 두께보다 작은 두께를 가지는 제3유전층을 형성하여,

상기 제1유전층 및 잔류하는 상기 제2유전층 부분으로 이루어지는 상대적으로 두꺼운 부분과 잔류하는 상기 노출된 제1유전층 부분으로 이루어지는 상대적으로 중간 두께인 중간 부분, 및 상기 제3유전층으로 이루어지는 상대적으로 얇은 부분을 포함하는 게이트 유전층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 11】**

제10항에 있어서, 상기 제1유전층, 상기 제2유전층 또는 상기 제3유전층은 실리콘 산화물, 실리콘 질화물, 하프늄 산화물, 알루미늄 산화물, 지르코늄 산화물 또는 탄탈륨 산화물로 형성되는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 12】**

제10항에 있어서, 상기 제1유전층 또는 상기 제3유전층은 열적 산화물로 형성되는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 13】**

제10항에 있어서, 상기 제1유전층 또는 상기 제3유전층은 급속 열적 산화법에 의한 실리콘 산화물로 형성되는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

## 【청구항 14】

제10항에 있어서, 상기 제1유전층, 상기 제2유전층 또는 상기 제3유전층은 원자층 증착 방법에 의한 하프늄 산화물 또는 알루미늄 산화물로 형성되는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

## 【청구항 15】

제10항에 있어서, 상기 제2유전층의 선택적인 제거는  
 상기 제2유전층 상에 제1포토리지스트 패턴을 도입하는 단계; 및  
 상기 제1포토리지스트 패턴을 식각 마스크로 노출되는 상기 제2유전층 부분을 건식 또는 습식으로 제1식각하는 단계를 포함하고,  
 상기 노출된 제1유전층 부분의 일부를 선택적으로 제거하는 단계는  
 상기 잔류하는 제2유전층 부분 및 상기 노출된 제1유전층 부분의 일부를 덮는 제2포토리지스트 패턴을 도입하는 단계; 및  
 상기 제2포토리지스트 패턴을 식각 마스크로 노출되는 상기 제1유전층 부분을 건식 또는 습식으로 제2식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

## 【청구항 16】

제15항에 있어서, 상기 제1식각하는 단계는  
 상기 제2유전층에 대한 식각율이 상기 제1유전층에 대한 식각율 보다 높게 수행되는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 17】**

제10항에 있어서,

상기 게이트 유전층 상을 질화 처리(nitridization)하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 18】**

제10항에 있어서, 상기 제3유전층은

증착 과정에 의해서 형성되어 상기 잔류하는 제2유전층 및 제1유전층 상으로도 연장되는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

**【청구항 19】**

제10항에 있어서,

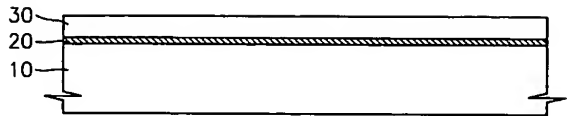
상기 제2유전층 상에 상기 제2유전층과 다른 유전 물질로 제3유전층을 형성하는 단계; 및

상기 제3유전층 하부의 상기 제2유전층 부분이 선택적으로 노출되도록 상기 제3유전층의 일부를 선택적으로 제거하는 단계를 더 포함하고,

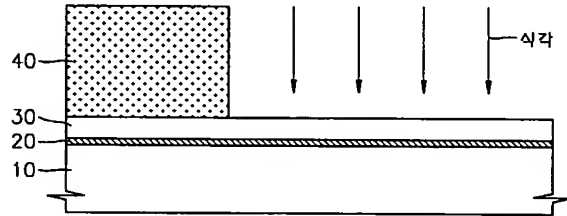
상기 게이트 유전층은 잔류하는 상기 제3유전층, 상기 제2유전층 및 상기 제1유전층이 적층된 부분을 가지는 것을 특징으로 하는 반도체 소자의 다중 두께 게이트 유전층 제조 방법.

【도면】

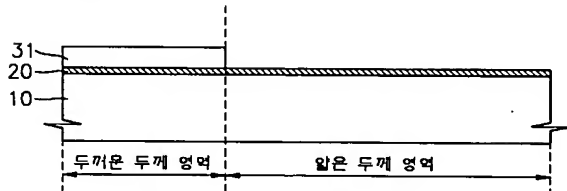
【도 1】



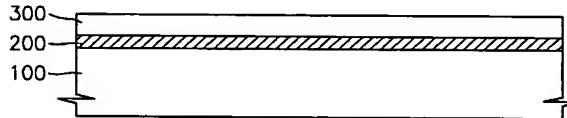
【도 2】



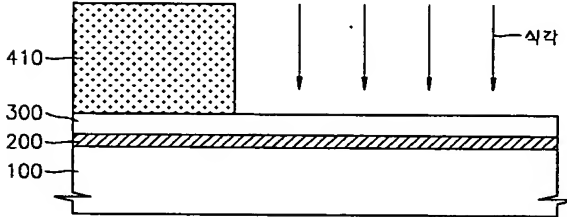
【도 3】



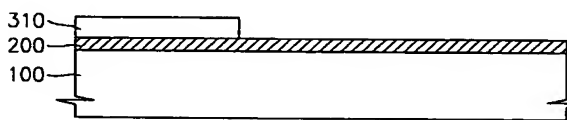
【도 4】



【도 5】

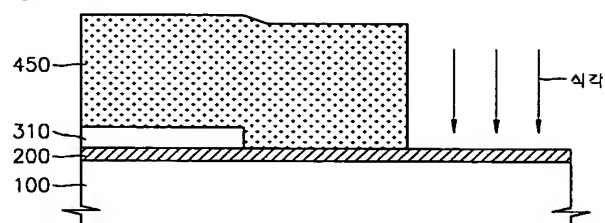


【도 6】

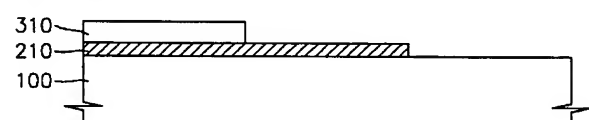




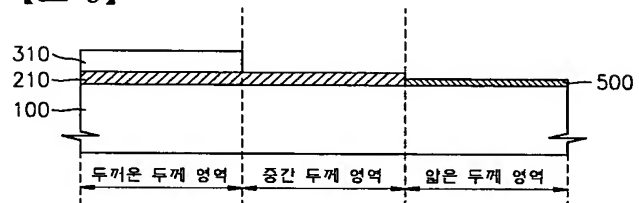
【도 7】



【도 8】



【도 9】



【도 10】

